

(Translation)

JAPAN PATENT OFFICE

This is to certify that the annexed is a true copy of the following application as filed with this Office.

Filing Date : February 20, 2003

Application Number : 2003-042280

Applicant(s): KONICA MINOLTA HOLDINGS, INC.

September 2, 2003

Commissioner,

Japan Patent Office

Yasuo IMAI

Issue Number: 2003-3070854



日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 2 月 2 0 日
Date of Application:

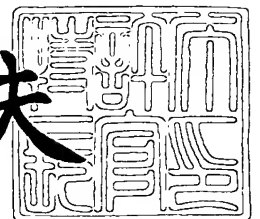
出 願 番 号 特 願 2 0 0 3 - 0 4 2 2 8 0
Application Number:
[ST. 10/C] : [J P 2 0 0 3 - 0 4 2 2 8 0]

出 願 人 コニカミノルタホールディングス株式会社
Applicant(s):

2 0 0 3 年 9 月 2 日

特 許 庁 長 官
Commissioner,
Japan Patent Office

今 井 康 夫



出 証 番 号 出 証 特 2 0 0 3 - 3 0 7 0 8 5 4

【書類名】 特許願

【整理番号】 DIJ02591

【提出日】 平成15年 2月20日

【あて先】 特許庁長官殿

【国際特許分類】 H04N 1/00

【発明の名称】 画像形成装置

【請求項の数】 7

【発明者】

 【住所又は居所】 東京都八王子市石川町 2 9 7 0 番地 コニカ株式会社内

 【氏名】 高木 幸一

【特許出願人】

 【識別番号】 000001270

 【氏名又は名称】 コニカ株式会社

【代理人】

 【識別番号】 100085187

 【弁理士】

 【氏名又は名称】 井島 藤治

【手数料の表示】

 【予納台帳番号】 009542

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

 【包括委任状番号】 9004575

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 画像形成装置

【特許請求の範囲】

【請求項 1】 画像形成に用いる複数色のそれぞれでドットクロックを生成し、該ドットクロックに基づいて各色の露光を露光を行う画像形成装置であって、

ある色について形成された像を基準として他の色の像のずれを誤差情報として検出するずれ検出手段と、

基本クロックを細かく遅延させて複数の遅延クロックを生成し、該複数の遅延クロックの選択を変更することによって、前記ずれを調整すべき色について生成するドットクロックの立ち上がりもしくは立ち下がりタイミングを変化させるデジタルディレイ式ドットクロック調整手段と、

前記ずれ検出手段で検出された前記誤差情報に応じて前記ずれを補正するように、前記デジタルディレイ式ドットクロック調整手段での複数の遅延クロックの選択を制御する制御手段と、
を備え、

前記ずれ検出手段は主走査方向の 3 箇所以上でテストパターンを形成することで前記誤差情報を検出すると共に、前記制御手段は主走査方向の 3 箇所以上で前記誤差情報に基づいて前記ずれを補正するように前記デジタルディレイ式ドットクロック調整手段の制御を行う、
ことを特徴とする画像形成装置。

【請求項 2】 前記デジタルディレイ式ドットクロック調整手段は、

前記基本クロックを細かく遅延させて複数の遅延クロックを生成するディレイチェーン部と、

端部の基準となるインデックス信号に同期した状態の複数の遅延クロック（同期遅延クロック）を前記ディレイチェーン部から選び出し、複数の同期遅延クロックから前記ディレイチェーン部の遅延段数を同期情報として出力する同期検出部と、

前記同期検出部からの前記同期遅延クロックと前記同期情報と前記誤差情報と

から、前記複数の遅延クロックの中からどの位相の遅延クロックを選択すべきかのセレクト信号を生成する選択制御部と、

前記複数の遅延クロックの中から前記セレクト信号に応じた遅延クロックを選択してドットクロックとして出力する選択部と、

を有することを特徴とする請求項 1 記載の画像形成装置。

【請求項 3】

前記デジタルディレイ式ドットクロック調整手段は、前記ずれを調整すべき色毎に独立した回路として設けられている、

ことを特徴とする請求項 1 または請求項 2 のいずれかに記載の画像形成装置。

【請求項 4】 前記ずれ検出手段と、前記デジタルディレイ式ドットクロック調整手段と、前記制御手段とは、各部がデジタル回路で構成されている、ことを特徴とする請求項 1 乃至請求項 3 のいずれかに記載の画像形成装置。

【請求項 5】 前記制御手段は前記デジタルディレイ式ドットクロック調整手段の外部に設けられており、該制御手段の制御に基づいて画像形成装置が動作する、

ことを特徴とする請求項 1 乃至請求項 4 のいずれかに記載の画像形成装置。

【請求項 6】 前記制御手段は前記デジタルディレイ式ドットクロック調整手段の内部に設けられており、該制御手段の制御に基づいて画像形成装置が動作する、

ことを特徴とする請求項 1 乃至請求項 4 のいずれかに記載の画像形成装置。

【請求項 7】 前記制御手段は、画像形成に用いる主走査方向のラインの画素数を L 、前記 3 以上の n 個のテストパターンで分割された範囲のそれぞれの画素数を $L_1 \sim L_{n-1}$ 、前記 3 以上のテストパターン間で算出された前記ずれ量を $N_1 \sim N_{n-1}$ とした場合に、 $1 \leq j \leq n$ である j について、各テストパターン間で N_j / L_j のずれ補正量を、それぞれのテストパターン間の各画素で均等に割り振るようにして、前記ドットクロックの遅延段数の選択に還元する、

ことを特徴とする請求項 1 乃至請求項 6 のいずれかに記載の画像形成装置。

【発明の詳細な説明】

【0 0 0 1】

【発明が属する技術分野】

本発明は複数色で画像形成するために複数色の各色毎に露光ユニットを備えたカラー画像形成装置に関する。

【0 0 0 2】**【従来の技術】**

画像形成装置では、画像データに応じて変調したレーザビームを主走査方向に走査し、副走査方向に回転する像担持体上に画像を形成している。この場合に、ドットクロックと呼ばれる画素クロックを基準にして、レーザビームを画像データで変調している。

【0 0 0 3】

また、図 7 は本実施の形態例の画像形成装置のプリントエンジンの機械的構成を示す構成図である。

【0 0 0 4】

この図 7 においては、複数色のトナーを用いてカラー画像の形成が可能であり、各色の像担持体からのトナー像を中間転写体に一次転写して該中間転写体上で重畳し、前記中間転写体と転写ローラとで記録紙を挟持することにより該中間転写体から記録紙に二次転写することにより画像形成する画像形成装置を具体例にする。

【0 0 0 5】

ここで、1 0 Y ～ 1 0 K は、それぞれ Y（イエロー）、M（マゼンタ）、C（シアン）、K（黒）の各色のトナー像が形成される像担持体としての感光体ドラムである。

【0 0 0 6】

2 0 Y ～ 2 0 K は、それぞれ感光体ドラム 1 0 Y ～ 1 0 K の表面に各色の画像情報に応じてレーザビームを走査することで静電潜像を形成せしめるための書き込みユニットである。

【0 0 0 7】

3 0 Y ～ 3 0 K は、それぞれ感光体ドラム 1 0 Y ～ 1 0 K の表面に形成された各色の静電潜像を現像剤（トナー）で現像してトナー像を形成せしめるための現

像器である。なお、帯電極、クリーニング部などは省略してある。

【0 0 0 8】

4 0 は、各色の感光体ドラム 1 0 Y ~ 1 0 K からのトナー像が転写（一次転写）されて重ね合わされる中間転写体ベルトである。6 4 は、中間転写体ベルト 4 0 上のトナー像を記録紙に対して転写（二次転写）すると共に、記録紙を中間転写体ベルト 4 0 から分離するための二次転写ローラである。なお、ベルトクリーニング部などは省略してある。

【0 0 0 9】

5 0 は記録紙が蓄積されている給紙部であり、給紙カセット 5 1 と給紙部カセット 5 2 とがここでは示されている。なお、給紙カセットの段数はこの例に限定されるものではない。

【0 0 1 0】

6 1 ~ 6 8 は搬送ローラあるいは通路切り替え手段などの搬送手段である。6 1 は給紙カセットから記録紙を送り出す給紙ローラ、6 2 は給紙カセット 5 0 （5 1 あるいは 5 2）からの記録紙が通る搬送路、6 3 a と 6 3 b とは画像形成のタイミングに合わせて記録紙を送り出すレジストローラ、6 4 は二次転写ローラ、6 5 は記録紙の排出と循環とを切り替える通路切り替え手段、6 6 a ・ 6 6 b ~ 6 8 a ・ 6 8 b は記録紙の表裏を反転させる反転ローラ、6 9 a ・ 6 9 b は記録紙を装置外に排出するための排紙ローラである。

【0 0 1 1】

7 0 は、記録紙上のトナー像を熱と圧力とにより固着させる定着ユニットであり、熱ローラ 7 1 （あるいは 7 2）と圧着ローラ 7 2 （あるいは 7 1）とを有する。

【0 0 1 2】

なお、このようにレーザビームを用いる書き込みユニットの構成は、図 8 のようになっている。なお、ここでは、書き込みユニット 2 0 Y について説明するが、他の書き込みユニット 2 0 M ~ 2 0 K も同じ構成である。

【0 0 1 3】

すなわち、書き込みユニット回路部 2 0 0 Y にてドットクロックに基づいて生

成されたレーザ駆動用信号に基づいて、レーザダイオード (LD) 260 Yが発光してレーザビームを発生する。

【0014】

そして、LD 260 Yからのレーザビームは、コリメータレンズ 261 Y、シリンドリカルレンズ 262 Yを通った後にポリゴンミラー 263 Yで走査される。

【0015】

ポリゴンミラー 263 Yで走査されたレーザビームは、 $f\theta$ レンズ 264 Yにより等速で走査するように調整される。さらに、シリンドリカルレンズ 265 Yを通過して像担持体 10 Yに書き込まれる。なお、ポリゴンミラーで走査されたレーザビームの一部はインデックスセンサ 266 Yに導かれて、タイミングが検出される。

【0016】

なお、ここでは、書き込みユニット 20 Yについての構成と動作を示したが、Mについての書き込みユニット 20 M、Cについての書き込みユニット 20 C、Kについての書き込みユニット 20 Kも同様な動作を行う。

【0017】

レーザビームで書き込みを行う画像形成装置の場合、温度上昇による筐体膨張によって、各種光学部材にも影響がおよぶ。たとえば、レンズ間距離の変化が生じて、光学特性に変化が生じる。また、一般的な $f\theta$ レンズは金型を用いたプラスチック成型によって製造されており、温度変化によって $f\theta$ レンズの屈折率の変化が生じる。

【0018】

また、この $f\theta$ 特性は波長依存性があり、所定のレーザビームの波長において各種収差を減らして $f\theta$ 特性を実現するようにしている。そのため、使用するレーザダイオードが実際に出力するレーザビームの波長が個体差により若干異なっていると、 $f\theta$ 特性誤差となって現れることになる。しかし、レーザダイオードの波長を厳密に管理するためには、多数のレーザダイオードの中から使用可能な物を選別しなくてはならず、装置の製造コストに跳ね返る問題を有している。た

例えば、カラー画像形成装置の場合、4段の書き込みユニットがあり、それぞれのレーザダイオードの波長が完全に一致していないと、 $f\theta$ 特性誤差が現れて、各色の画像にズレが生じるという問題になる。

【0019】

$f\theta$ レンズを、金型を用いてプラスチック成型によって製造する場合、金型のばらつきによって、 $f\theta$ レンズの屈折率の変化が生じる。同時に複数の金型を用いて並行して $f\theta$ レンズを製造する場合、または、所定の時期に金型を新品に更新する場合など、各金型間でばらつきがある。この $f\theta$ 特性誤差を抑えるために金型間ばらつきを厳密に管理するとなると、金型の製造コストが上昇し、装置の製造コストに跳ね返る問題がある。

【0020】

以上のような各種の理由により、カラー画像形成装置の場合には、各色の像の伸び縮みによる主走査方向のズレが生じる可能性がある。

【0021】

このような主走査方向のズレを解消するため、VCXO（電圧制御型水晶発振器）やDDS（デジタルダイレクトシンセサイザ）などの技術によって、ドットクロックの周波数を各色ごとに変更する必要があった。この種の技術としては、たとえば、以下の特許文献1に記載されている。

【0022】

【特許文献1】

特開2002-202648号公報（第13頁、図1）

【0023】

【発明が解決しようとする課題】

また、以上の各色のズレは、単なる画像の全体サイズの伸び縮みだけの問題ではなく、軽印刷に使用される画像の種類によっては、始端～終端の伸び縮みだけではなく、その途中の画素ずれが問題になることがある。

【0024】

さらに、 $f\theta$ レンズの特性によっては、左端から右端までの間で各画素が全く均等な間隔にならないこともあり、そのような場合には、始端～終端を揃えたと

しても、各色の画素ずれが目立つこともあり得る。

【0025】

すなわち、以上の特許文献1記載の技術を画像形成の色ズレに応用した場合、主走査方向の伸び縮みを調整して、始端～終端を揃えることはできるものの、始端と終端の中間部分で生じる可能性のある画素ずれの調整を行うことはできない。

【0026】

また、以上のVCXO、DDS、PLLでは、単体の精度としては問題がないが、画像形成装置のシステムとして1チップ化することができないために、他のチップとVCXOやDDS等のチップを組み合わせる使用することになり、精度が劣化したり、コストがアップしたりする問題がある。

【0027】

本発明は、上記の課題を解決するためになされたものであって、その目的は、複数色により画像形成する際の色ずれを、1チップ化が可能な回路構成で始端～終端の伸び縮みだけではなく中間部分での画素ずれをも精度良く解消することが可能な画像形成装置を提供することにある。

【0028】

【課題を解決するための手段】

すなわち、課題を解決する手段としての本発明は以下に説明するようなものである。

【0029】

(1) 請求項1記載の発明は、画像形成に用いる複数色のそれぞれでドットクロックを生成し、該ドットクロックに基づいて各色の露光を露光を行う画像形成装置であって、ある色について形成された像を基準として他の色の像のずれを誤差情報として検出するずれ検出手段と、基本クロックを細かく遅延させて複数の遅延クロックを生成し、該複数の遅延クロックの選択を変更することによって、前記ずれを調整すべき色について生成するドットクロックの立ち上がりもしくは立ち下がりタイミングを変化させるデジタルディレイ式ドットクロック調整手段と、前記ずれ検出手段で検出された前記誤差情報に応じて前記ずれを補正する

ように、前記デジタルディレイ式ドットクロック調整手段での複数の遅延クロックの選択を制御する制御手段と、を備え、前記ずれ検出手段は主走査方向の3箇所以上でテストパターンを形成することで前記誤差情報を検出すると共に、前記制御手段は主走査方向の3箇所以上で前記誤差情報に基づいて前記ずれを補正するように前記デジタルディレイ式ドットクロック調整手段の制御を行う、ことを特徴とする画像形成装置である。

【0030】

この発明では、画像形成に用いる複数色のそれぞれでドットクロックを生成し、該ドットクロックに基づいて各色の露光を露光を行う際に、基本クロックを細かく遅延させて複数の遅延クロックを生成し、該複数の遅延クロックの選択を変更することによって、前記ずれを調整すべき色について生成するドットクロックの立ち上がりもしくは立ち下がりタイミングを変化させるようにしておき、ある色について形成された像を基準として他の色の像のずれについて、主走査方向の3箇所以上でテストパターンを形成することで色ずれに関する誤差情報を検出し、該誤差情報に応じて前記デジタルディレイ式ドットクロック調整手段での複数の遅延クロックの選択を制御することで前記ずれを補正する。

【0031】

この結果、PLLなどのアナログフィードバック回路を持たないデジタル方式の回路構成であるため、他のデジタル回路と共に1チップ化することが可能であって、精度の高い色ずれ解消を行うことが可能になる。

【0032】

さらに、この発明では、主走査方向の3箇所以上で誤差情報を検出してずれ補正を実行しているので、始端と終端とを揃えるだけでなく、中間部分の画素ずれの調整を行うことが可能になる。

【0033】

(2) 請求項2記載の発明は、前記デジタルディレイ式ドットクロック調整手段は、前記基本クロックを細かく遅延させて複数の遅延クロックを生成するディレイチェーン部と、端部の基準となるインデックス信号に同期した状態の複数の遅延クロック（同期遅延クロック）を前記ディレイチェーン部から選び出し、

複数の同期遅延クロックから前記ディレイチェーン部の遅延段数を同期情報として出力する同期検出部と、前記同期検出部からの前記同期遅延クロックと前記同期情報と前記誤差情報とから、前記複数の遅延クロックの中からどの位相の遅延クロックを選択すべきかのセレクト信号を生成する選択制御部と、前記複数の遅延クロックの中から前記セレクト信号に応じた遅延クロックを選択してドットクロックとして出力する選択部と、を有することを特徴とする請求項 1 記載の画像形成装置である。

【0034】

この発明では、上記（1）のデジタルディレイ式ドットクロック調整手段は、基本クロックをディレイチェーン部で細かく遅延させて複数の遅延クロックを生成し、同期検出部にて同期情報を検出し、同期情報と誤差情報とから選択制御部がセレクト信号を生成し、複数の遅延クロックの中からセレクト信号に応じた遅延クロックを選択部にて選択してドットクロックとして出力する。

【0035】

この結果、デジタルディレイ式ドットクロック調整手段では、PLLなどのアナログフィードバック回路を持たないデジタル方式の回路構成であるため、他のデジタル回路と共に 1 チップ化することが可能であって、精度の高い色ずれ解消を行うことが可能になる。

【0036】

（3）請求項 3 記載の発明は、前記デジタルディレイ式ドットクロック調整手段は、前記ずれを調整すべき色毎に独立した回路として設けられている、ことを特徴とする請求項 1 または請求項 2 のいずれかに記載の画像形成装置である。

【0037】

この発明では、上記（1）または（2）におけるデジタルディレイ式ドットクロック調整手段を、ずれを調整すべき色毎にそれぞれ独立した回路として備えている。この結果、精度の高い色ずれ解消を行うことができる。

【0038】

（4）請求項 4 記載の発明は、前記ずれ検出手段と、前記デジタルディレイ式ドットクロック調整手段と、前記制御手段とは、各部がデジタル回路で構成

されている、ことを特徴とする請求項 1 乃至請求項 3 のいずれかに記載の画像形成装置である。

【0 0 3 9】

この発明では、ずれ検出手段と、デジタルディレイ式ドットクロック調整手段と、制御手段とは、各部がデジタル回路で構成されているため、上記（1）～（3）において、1 チップ化に適した状態で精度の高い色ずれ解消を行うことができる。

【0 0 4 0】

（5）請求項 5 記載の発明は、前記制御手段は前記デジタルディレイ式ドットクロック調整手段の外部に設けられており、該制御手段の制御に基づいて画像形成装置が動作する、ことを特徴とする請求項 1 乃至請求項 4 のいずれかに記載の画像形成装置である。

【0 0 4 1】

この発明では、デジタルディレイ式ドットクロック調整手段の外部に設けられた CPU などの制御手段の制御により画像形成装置が動作するため、精度の高い色ずれ解消を行うことができる。

【0 0 4 2】

（6）請求項 6 記載の発明は、前記制御手段は前記デジタルディレイ式ドットクロック調整手段の内部に設けられており、該制御手段の制御に基づいて画像形成装置が動作する、ことを特徴とする請求項 1 乃至請求項 4 のいずれかに記載の画像形成装置である。

【0 0 4 3】

この発明では、デジタルディレイ式ドットクロック調整手段の内部に設けられた制御手段の制御により画像形成装置が動作するため、1 チップ化に適した状態のデジタルディレイ式ドットクロック調整手段によって精度の高い色ずれ解消を行うことができる。

【0 0 4 4】

（7）請求項 7 記載の発明は、前記制御手段は、画像形成に用いる主走査方向のラインの画素数を L、前記 3 以上の n 個のテストパターンで分割された範囲の

それぞれの画素数を $L_1 \sim L_{n-1}$ 、前記 3 以上のテストパターン間で算出された前記ずれ量を $N_1 \sim N_{n-1}$ とした場合に、 $1 \leq j \leq n$ である j について、各テストパターン間で N_j / L_j のずれ補正量を、それぞれのテストパターン間の各画素で均等に割り振るようにして、前記ドットクロックの遅延段数の選択に還元する、ことを特徴とする請求項 1 乃至請求項 6 のいずれかに記載の画像形成装置である。

【0045】

この発明では、画像形成に用いる主走査方向の 3 個以上のテストパターン間で、各テストパターン間で N_j / L_j のずれ補正量を、それぞれのテストパターン間の各画素で均等に割り振るようにして、前記ドットクロックの遅延段数の選択に還元している。

【0046】

このように、主走査方向の 3 箇所以上で誤差情報を検出し、それぞれのテストパターン間の各画素で均等に割り振るようにドットクロックの遅延段数の選択に還元することで、始端と終端とを揃えるだけでなく、中間部分にて画素ずれ調整を良好に行うことが可能になる。

【0047】

【発明の実施の形態】

以下、図面を参照して、本発明の画像形成装置の実施の形態例を詳細に説明する。なお、ここでは、図 7 と図 8 とに示したカラー画像形成装置を具体例にして説明を行うものとする。すなわち、本実施の形態例の画像形成装置は、多色の画像形成装置であり、ここでは、Y (イエロー)、M (マゼンタ)、C (シアン)、K (黒) の 4 色のトナーを使用するカラー画像形成装置を例にする。

【0048】

以下、本発明の画像形成装置の実施の形態例を詳細に説明する。

【0049】

図 1 では、画像形成装置全体を制御する制御手段としての CPU 201、Y 用の書き込みユニット回路部 200 Y、M 用の書き込みユニット回路部 200 M、C 用の書き込みユニット回路部 200 C、K 用の書き込みユニット回路部 200 K、Y 用の露光を行う LD 260 Y、M 用の露光を行う LD 260 M、C 用の露

光を行うLD260C、K用の露光を行うLD260K、Y用のインデックスセンサ266Y、M用のインデックスセンサ266M、C用のインデックスセンサ266C、K用のインデックスセンサ266K、を示している。

【0050】

ここで書き込みユニット回路部200Y～200Kは、それぞれ感光体ドラム10Y～10Kの表面に各色の画像情報に応じてレーザビームを走査することで静電潜像を形成せしめるための書き込みユニット20Y～20Kの回路部である。

【0051】

ここでは、書き込みユニット回路部200Yについて図1に詳細な構成を示しているが、他の書き込みユニット回路部200M、200C、200Kについても同様な構成であるとする。

【0052】

また、この図1において、書き込みユニット回路部200Yは、本実施の形態例の特徴となるドットクロック調整部210と、画像処理を行う画像処理部220と、画像処理結果に基づいてドットクロックに従ってLD駆動信号を生成するLD駆動部230とを有している。

【0053】

また、色ずれ検知センサ270は、主走査方向3箇所以上の位置で画素ずれの検知を行うように設置され、定着後の各色の所定のテストパターンを読み取るように設置されているものとする。

【0054】

以下、ドットクロック調整部210の構成と動作とを順に説明する。なお、ドットクロック調整部210は、請求項における「デジタルディレイ式ドットクロック調整手段」であり、以下の(A)，(B)，(C)，(D)により構成されている。

【0055】

(A) 遅延信号生成：

ディレイチェーン部213は入力信号（クロック発生部211からの基本クロ

ック) を遅延させて位相が少しずつ異なる複数の遅延信号 (遅延信号群: 図 1 ①) を得るためのディレイ素子群である。

【0 0 5 6】

ここで、ディレイチェーン部 2 1 3 は、位相が少しずつ異なる遅延信号について、基本クロックの 2 周期分にわたって生成できる段数になるようにチェーン状にディレイ素子が縦続接続されていることが好ましい。

【0 0 5 7】

なお、クロック発生部 2 1 1 は、Y M C K 各色のクロック発生回路にそれぞれ内蔵されていてもよいが、単一のクロック発生部 2 1 1 から各色それぞれのクロック発生回路に基本クロックを分配してもよい。また、インデックスセンサ 2 6 6 Y は、図 8 に示したように、レーザビームの走査における基準位置を検出するものである。

【0 0 5 8】

(B) 同期検出:

同期検出部 2 1 4 はインデックスセンサ 2 6 6 Y で検出されたインデックス信号を受け、遅延信号群 (図 1 ①) の中でインデックス信号に同期している遅延信号の段数 (同期ポイント) を検出する検出手段であり、同期ポイント情報 (図 1 ②) を出力する。

【0 0 5 9】

ここで、同期検出部 2 1 4 は、遅延信号群 (図 1 ①) の中で、最初にインデックス信号に同期している第 1 同期ポイント情報 S P 1 と、2 番目にインデックス信号に同期している第 2 同期ポイント情報 S P 2 と、を出力できることが好ましい。

【0 0 6 0】

ディレイチェーン部 2 1 3 からの複数の遅延信号は、温度変化などの影響によって遅延時間に変動が生じている可能性があるため、このようにして、所定の変動しない時間 (インデックス信号から次のインデックス信号までの間) に、どれだけの遅延信号が含まれているかを検出しておく。

【0 0 6 1】

(C) 選択制御：

選択制御部 215 は、同期検出部 214 からの同期ポイント情報（図 1 ②）と、CPU 201 からの周波数ずれ情報（図 1 ③）とに基づいて、同期補正量を求め、遅延信号群（図 1 ①）の中からどの位相の遅延信号を選択すべきかのセレクト信号（図 1 ④）を出力するものである。なお、周波数ずれ情報については、後述する。

【0062】

(D) 選択：

選択部 216 は選択制御部 215 からのセレクト信号（図 1 ④）を受け、遅延信号群（図 1 ①）の中から対応する位相の遅延信号を選択し、選択された遅延信号を立ち上がりおよび立ち下がりとすることで矩形波を生成し、その矩形波をドットクロック（図 1 ⑤）として出力するものである。

【0063】

このようにして、ドットクロックを生成する際の立ち上がりと立ち下がりとを選択されたタイミングの遅延信号とすることで、ドットクロックの周期をわずかに増加もしくは減少させ、所定時間内に発生するパルス数を所定数にした信号を生成するようにしている。

【0064】

すなわち、クロック発生部 211 で発振して生成する基本クロックの周波数を微調整して合わせるのではなく、クロック周波数自体は変えずに、位相（ドットクロックのパルスの位置もしくはタイミング）を細かく徐々に変えた遅延信号を所定時間内に順次選択することで、所定時間内のパルス数を所定数に合わせるようにしている。

【0065】

このようにして、ドットクロックを生成する際の立ち上がりと立ち下がりとを選択されたタイミングの遅延信号とすることで、ドットクロックの周期をわずかに増加もしくは減少させている。これにより、次の①と②を実現する。

①所定時間内に発生するパルス数を所定数にした信号を生成することで、主走査 1 ラインの長さを揃え、始端～終端間の長さを一定にする。

②主走査方向で3箇所以上の誤差情報を用いて、ドットクロックのタイミングを主走査方向3箇所以上で調整することで、中間部をも含めて各色相互の画素ずれを抑制する。

【0066】

すなわち、クロック発生部211で発振して生成する基本クロックの発振周波数を微調整して合わせるのではなく、クロック周波数自体は変えずに、位相（ドットクロックのパルスの位置もしくはタイミング）を細かく徐々に変えた遅延信号を所定時間内に順次選択することで、以上の①だけではなく、従来は不可能であった②をも実現している。

【0067】

〈ドットクロック調整のためのずれ検出の原理〉

ここで、図2のフローチャートと、図3の説明図を参照してずれ検出の様子について簡単に説明する。

【0068】

書き込みユニット回路部200は、ずれ検出時に、ROM221に格納されている所定のパターンの画像を、中間転写体ベルト40上の主走査方向始端側、末端側、および、その中間、合計で3箇所以上を形成する（図2S1）。図3では、所定のパターンとして、「フ」字状のパターンを用いた例を示し、かつ、主走査方向3箇所に形成した様子を一例として示している。

【0069】

ここで、実際には実線で示すパターンが形成されているが、本来は破線で示すパターンが形成される予定であったとする。

【0070】

ここでは、書き込みユニットや各光学系の収差などにより、主走査方向に dx_1 と dx_2 と dx_3 のずれが発生していることになる。中間転写体ベルト40を副走査方向に移動させつつ、パターンを読み取れる位置に配置された色ずれ検知センサ270で読み取りを行う（図2S2）ことで、「フ」字状のパターンの横線から斜線までの距離 $Y1'$ には dy_1 のずれが含まれ、距離 $Y2'$ には dy_2 のずれが含まれ、距離 $Y3'$ には dy_3 のずれが含まれることになる。

【0 0 7 1】

横線と斜線とがなす角度を θ とすると、 $dx1 = dy1 / \tan \theta$ で求められる。さらに、像担持体の副走査方向の移動速度と、横線と斜線の読み取り時刻の差とにより、 $dy1$ を求めることもできる。

【0 0 7 2】

同様に、横線と斜線とがなす角度を θ とすると、 $dx2 = dy2 / \tan \theta$ で求められる。さらに、像担持体の副走査方向の移動速度と、横線と斜線の読み取り時刻の差とにより、 $dy2$ を求めることもできる。

【0 0 7 3】

さらに同様に、横線と斜線とがなす角度を θ とすると、 $dx3 = dy3 / \tan \theta$ で求められる。さらに、像担持体の副走査方向の移動速度と、横線と斜線の読み取り時刻の差とにより、 $dy3$ を求めることもできる。

【0 0 7 4】

以上のようにして、テストパターンの位置（ずれ状態）を CPU 2 0 1 が算出する（図 2 S 3）。

【0 0 7 5】

そして、その他の色にも同様にしてテストパターンの記録（図 2 S 4）、色ずれ検知センサ 2 7 0 によるテストパターンの読み取り（図 2 S 5）、テストパターンの位置（ずれ状態）算出（図 2 S 6）を行う。そして、CPU 2 0 1 は、それぞれの色のテストパターンの位置（ずれ状態）を比較し、各色での画素ずれ状態を算出する（図 2 S 7）。

【0 0 7 6】

したがって、Y, M, C, K の各色について、このような所定のパターンの形成と読み取りとを、副走査方向には同じ位置であって主走査方向始端側と主走査方向末端側とその中間などの主走査方向 3 箇所以上で行うことで、CPU 2 0 1 が主走査方向の画像の伸び縮みや中間部の画素ずれに関するずれ状態（周波数ずれ情報）を検出することが可能になる。

【0 0 7 7】

このようにして CPU 2 0 1 が以上のような検出処理を各色毎に行って、各色

毎の周波数ずれ情報（図 1③）として書き込みユニット 20Y～20Kのそれぞれに供給する。

【0078】

なお、同様にして、CPU 201は、主走査方向始端側で「フ」字状パターンの検出を実行することにより、主走査方向の画像の開始位置に関する画像先端ずれ情報を求め、この画像先端ずれ情報を書き込みユニットに供給することも可能である。

【0079】

以上のようにして、各色での画素ずれ状態を示す周波数ずれ情報を元にして、通常の画像形成時には、ドットクロック調整部 210が各色での画素ずれ状態を解消する状態のドットクロックを生成して画像形成を行う（図 2S8）。

【0080】

〈画像形成装置の動作〉

つぎに、この実施の形態例の画像形成装置の動作の説明を行う。

【0081】

〈デジタルディレイ式ドットクロック調整の動作〉

まず、図 4のタイムチャートを参照し、ある特定の 1色について、ずれ情報を参照して、基本クロックのパルスをおある時間毎にシフトさせ、パルス数が所定数になるようにすると共に、パルス数が所定数になるようにすると共に、この所定数のパルスを発生させる時間が所定時間になるように調整し、さらに、ドットクロックのタイミングを主走査方向 3箇所以上で調整して各色の画素ずれを抑制する動作について、ドットクロックを発生するところまでを説明する。

【0082】

前述した所定パターンの形成と読み取りとによって検出されたずれERを示すずれ情報、基本クロックの周波数から求められるクロック周期TCのクロック周期情報、主走査方向に形成すべき画素数PHを示す 1ライン画素数情報が、CPU 201から選択制御部 215内の補正量演算手段に与えられる。

【0083】

また、同期検出部 214からの第 1同期ポイント情報SP1と第 2同期ポイン

ト情報 SP2 とから、同期段数（基本クロック 1 周期分の遅延が得られる段数）NS を求める。

【0084】

ここで選択制御部 215 内の補正量演算手段は、以下の式に基づいて、補正量に対応する補正カウント値（カウントロードデータ）CC を求める。

【0085】

$$CC = PH \times (NS / TC) / ER \quad \cdots \textcircled{1}$$

この補正カウント値 CC は、選択制御部 215 内の切替カウント手段がカウントダウンしてセレクト信号および下位セレクト信号の切替を行うためのものである。したがって、補正量が大きいほど補正カウント値 CC は小さくなる。

【0086】

また、同期検出部 214 はインデックスセンサ 266 からのインデックス信号の立ち上がりを参照して、このインデックス信号の立ち上がりに同期した遅延信号が得られるディレイチェーン部 213 の段数を同期ポイント情報として求める。

【0087】

ここでは、第 1 同期ポイント情報 SP1 として 20 が、第 2 同期ポイント情報 SP2 として 50 が得られたとする。なお、この場合には、上述した同期段数 NS は 30 になる。

【0088】

ここで、書き込みユニットのレーザビームの走査により、インデックスセンサがレーザビームを検出したタイミングでインデックス信号を発生する（図 4（a）①）。この後、水平方向の有効領域を示す H_VALID がアクティブになる。

【0089】

そして、選択制御部 215 内の切替カウント手段は前記補正カウント値 CC を基本クロックに従ってカウントダウンすることを繰り返し続ける。そして、カウントダウンによりカウント値が 0 になる毎に選択制御部 215 内のセレクト信号演算手段 443 にカウントデータを割り込みとして与える（図 4（d）～（f））

）。

【0090】

また、CPU 201はずれ方向情報を選択制御部 215内のセレクト信号演算手段に与えており、主走査方向に伸びたずれに対しては縮める補正を行うための「－補正」、主走査方向に縮んだずれに対しては伸ばす補正を行うための「＋補正」の情報を与える。ここでは、「－補正」の場合を例にする。

【0091】

前述した所定パターンの形成とその測定により、ずれ情報ERおよびずれ方向情報が求められているとする。ここでは、 $ER = 6\text{ ns}$ 、ずれ方向情報＝「－補正」であり、すなわち、画像が伸びていたために縮ませるように補正することを示していたと仮定する。

【0092】

まず、同期検出部 214がインデックスセンサ 266Yからのインデックス信号の立ち上がりを参照して、第1同期ポイント情報SP1及び第2同期ポイント情報SP2を求める。

【0093】

前記第1同期ポイント情報SP1はインデックス信号の立ち上がりに同期したディレイチェーン部 213のディレイ素子の段数を示しており、前記第2同期ポイント情報SP2は前記第1同期ポイント情報SP1から基本クロック1周期分遅れたディレイチェーン部 213のディレイ素子の段数を示している。

【0094】

ここでは、 $SP1 = 20$ 、 $SP2 = 50$ であったとする。なお、この様子を図5に示す。ここでは、20段目のDL20（図5（c））と、このDL20からクロック1周期分遅れた50段目のDL50（図5（m））とが、インデックス信号の立ち上がり（図5（a））に同期している状態を示している。

【0095】

つぎに、前記第1同期ポイント情報SP1と第2同期ポイント情報SP2から、同期段数NSを求める。ここで、前記同期段数NSは、基本クロック1周期分の時間が何段のディレイ素子の遅延時間に相当するかを示している。本実施の形

態例では、同期段数 $NS = SP2 - SP1$ より、 $NS = 30$ となる。

【0096】

また、1 段あたりのディレイ素子の遅延時間 DT を、前記 NS 及び基本クロックの周期から求める。たとえば、基本クロック周期 TC が 30 ns であった場合は $NS = 30$ であるので、 $DT = TC / NS$ より $DT = 1\text{ ns}$ となる。1 段あたりのディレイ素子の遅延時間は、集積回路の温度状態や集積回路に供給される電源電圧の変動などに起因して変動するので、ある場合には 1.5 ns になったり、 0.5 ns になったりすることが考えられる。しかしながら、基本クロック周期 TC は変化しないため、同期段数 NS を求めることにより、測定時の 1 段あたりのディレイ素子の遅延時間を正確に求めることができる。

【0097】

そして、適正な画像信号を得るためには最終的にディレイ素子何段分ずらすかを示す補正カウント値 CC を、ずれ情報 ER ，ずれ方向情報及び遅延時間 DT から求める。ここでは、 $ER = 6\text{ ns}$ ，ずれ方向情報 = 「-補正」， $DT = 1\text{ ns}$ より、補正カウント値 $CC = -6$ となる。

【0098】

以上の補正カウント値 CC より、適正な画像信号を得るためには最終的にディレイ素子の段数を 6 段分進めればよい。すなわち、インデックス信号の立ち上がりに同期して最初は 50 段目のディレイ素子からの信号を採用し、その後セレクト信号に同期して 1 走査ライン中において、49 段目，48 段目，47 段目，46 段目，45 段目の信号に順次置き換えて採用していき、最終的には 44 段目からの信号を採用するようにすればよい。

【0099】

なお、補正量が同期段数より大きい場合には、セレクト信号を循環させるようにすればよい。上述した例で、 $SP1 = 20$ ， $SP2 = 50$ ，同期段数 30 の場合の「-補正」では、セレクト信号が 50，49，…，21，20，となった時点で、セレクト信号の 20 とセレクト信号の 50 とは等しい位相であるので、次は 49，48，…とすればよい。すなわち、50，49，…，21，20 (= 50)，49，48…，となる。また、「+補正」においても同様にセレクト信号

を循環させるようにすればよい。

【0100】

また、50, 47, 43, ..., 22, 19と3段ずつ「-補正」する場合には、 $SP1 = 20$ を超えることになるが、19の次には、 $50 - (20 - 19) - 3 = 46$ とする。すなわち、同期ポイントを超えた分と1つの補正量とを加えた状態にして循環させることで、問題なく循環させることができる。

【0101】

このようなセレクト信号を受けた選択部216では、ディレイチェーン部213からの遅延信号群（図1①）の中から、50段目、49段目、48段目、47段目、...のように選択を行って、ドットクロックとして出力する（図4（g））。

【0102】

この場合には遅延信号群（図1①）の中から、50段目、49段目、48段目、47段目、...と選択することで、最初はインデックス信号に同期した遅延信号が得られ、徐々に遅延の少ない（位相が進んだ）遅延信号が得られる。この結果、「-補正」が実現され、主走査方向に伸びているずれを縮めるような補正が実行される。

【0103】

また、「+補正」の場合には、第1同期ポイント情報SP1を初期値として、遅延信号群（図1①）の中から、20段目、21段目、22段目、23段目、...と選択することで、最初はインデックス信号に同期した遅延信号が得られ、徐々に遅延の少ない（位相が遅れた）遅延信号が得られる。この結果、「+補正」が実現され、主走査方向に縮んでいるずれを伸ばすような補正が実行される。

【0104】

すなわち、ずれ情報を参照して、基本クロックのパルスのある時間毎にシフトさせ、パルス数が所定数になるようにすると共に、この所定数のパルスを発生させる時間が所定時間になるような調整が行える。

【0105】

そして、以上の補正は、ずれ情報ER（周波数ずれ情報）に基づいた制御がな

されているため、主走査方向の長さに関しては正確に調整される。

【0106】

なお、以上の主走査方向の伸び縮みの補正（すなわち主走査倍率補正）の様子を模式的に示すと、図6のようになる。ここで、基本クロックと、基本クロックを遅延させた遅延信号（1遅延～9遅延）と、ドットクロックとを示している。

【0107】

この図6に示した場合、基本クロック4周期の間に1遅延，2遅延，3遅延，4遅延，5遅延，…と選択することで、4周期で3.5ドットクロックになる。すなわち、 $3.5 / 4 = 87.5\%$ であり、擬似的に周波数が低くなるように制御される。なお、他の選択の仕方を実行しても同様の結果が得られる。

【0108】

また、この図6の場合では8遅延が基本クロックと位相が一致しているため、基本クロック4周期の間に8遅延，7遅延，6遅延，5遅延，4遅延…と選択することで、4周期で4.5ドットクロックになる（図示せず）。すなわち、 $4.5 / 4 = 112.5\%$ であり、擬似的に周波数が高くなるように制御される。なお、他の選択の仕方を実行しても同様の結果が得られる。

【0109】

〈カラー画像形成装置の色ずれ調整の動作〉

以上のようにしてデジタルディレイ式のドットクロック調整部を用いることで、主走査方向のずれを調整できるが、YMCKのうちのある色の主走査1ラインの長さを基準として、その他の色の主走査1ラインの長さを合わせこむこと、および、先端位置を揃えることで、カラー画像形成の際の色ずれを抑止することができる。

【0110】

すなわち、図3により示した手法で主走査方向の1ラインの先端位置と長さとは測定し、ある色の先端位置と主走査長さに対して他の色を合わせるように、ドットクロック調整部を動作させる。これにより、各色の画像が一致するようになり、各種要因で発生する主走査方向の色ずれが解消される。

【0111】

以上のようにしてデジタルディレイ式のドットクロック調整部を用いることで、まず、主走査方向の始端～終端までのずれを調整できるが、各色それぞれの主走査方向で3箇所以上の誤差情報を用いて、ドットクロックのタイミングを主走査方向3箇所以上で調整することで、各色の画素ずれを抑制することができるようになる。

【0 1 1 2】

なお、以上の具体例では3箇所のテストパターンの例を示したが、更に多くすることで、より細かく表裏の画素ずれを抑制することが可能になる。たとえば、少なくとも4箇所のテストパターンとすることで、左端部／中央付近／右端部の領域で表裏の画素ずれ抑制ができて好ましい。

【0 1 1 3】

この実施の形態例では、PLLなどのアナログフィードバック回路を持たないデジタル方式の回路構成であるため、他のデジタル回路部分と共に1チップ化することが可能になる。また、そのようにすることで、更に精度の高い表裏画素ずれ解消を行うことが可能になる。

【0 1 1 4】

また、画像形成に用いる主走査方向のラインの画素数を L 、前記3以上の n 個のテストパターンで分割された範囲のそれぞれの画素数を $L_1 \sim L_{n-1}$ 、前記3以上のテストパターン間で算出された前記ずれ量を $N_1 \sim N_{n-1}$ とした場合に、 $1 \leq j \leq n$ である j について、各テストパターン間で N_j / L_j のずれ補正量を、それぞれのテストパターン間の各画素で均等に割り振るようにして、ドットクロックの遅延段数の選択に還元する、ことが望ましい。

【0 1 1 5】

このように、主走査方向の3箇所以上で誤差情報を検出し、それぞれのテストパターン間の各画素で均等に割り振るようにドットクロックの遅延段数の選択に還元することで、始端と終端とを揃えるだけでなく、中間部分にて画素ずれ調整を良好に行うことが可能になる。

【0 1 1 6】

＜その他の実施の形態例①＞

以上の実施の形態例では、ドットクロック調整部の外部にCPU201を設けていたが、各ドットクロック調整部内にCPUやテーブルなどの制御手段を内蔵させることも可能である。

【0117】

【発明の効果】

以上詳細に説明したように、本発明では、以下のような効果が得られる。

この発明では、画像形成に用いる複数色のそれぞれでドットクロックを生成し、該ドットクロックに基づいて各色の露光を露光を行う際に、基本クロックを細かく遅延させて複数の遅延クロックを生成し、該複数の遅延クロックの選択を変更することによって、前記ずれを調整すべき色について生成するドットクロックの立ち上がりもしくは立ち下がりタイミングを変化させるようにしておき、ある色について形成された像を基準として他の色の像のずれについて、主走査方向の3箇所以上でテストパターンを形成することで色ずれに関する誤差情報を検出し、該誤差情報に応じて前記デジタルディレイ式ドットクロック調整手段での複数の遅延クロックの選択を制御することで前記ずれを補正する。この結果、PLLなどのアナログフィードバック回路を持たないデジタル方式の回路構成であるため、他のデジタル回路と共に1チップ化することが可能であって、精度の高い色ずれ解消を行うことが可能になる。さらに、この発明では、主走査方向の3箇所以上で誤差情報を検出してずれ補正を実行しているので、始端と終端とを揃えるだけでなく、中間部分の画素ずれの調整を行うことが可能になる。

【図面の簡単な説明】

【図1】

本発明の一実施の形態例の画像形成装置の主要部の電氣的構成を示す構成図である。

【図2】

本発明の一実施の形態例の画像形成装置の動作状態を説明するフローチャートである。

【図3】

本発明の一実施の形態例の画像形成装置におけるずれ検出の動作状態を説明す

るタイムチャートである。

【図 4】

本発明の一実施の形態例の画像形成装置の動作状態を説明するタイムチャートである。

【図 5】

本発明の一実施の形態例の画像形成装置の動作状態を説明するタイムチャートである。

【図 6】

本発明の一実施の形態例の画像形成装置の動作状態を説明するタイムチャートである。

【図 7】

画像形成装置の書き込み部の機械構成を示す断面図である。

【図 8】

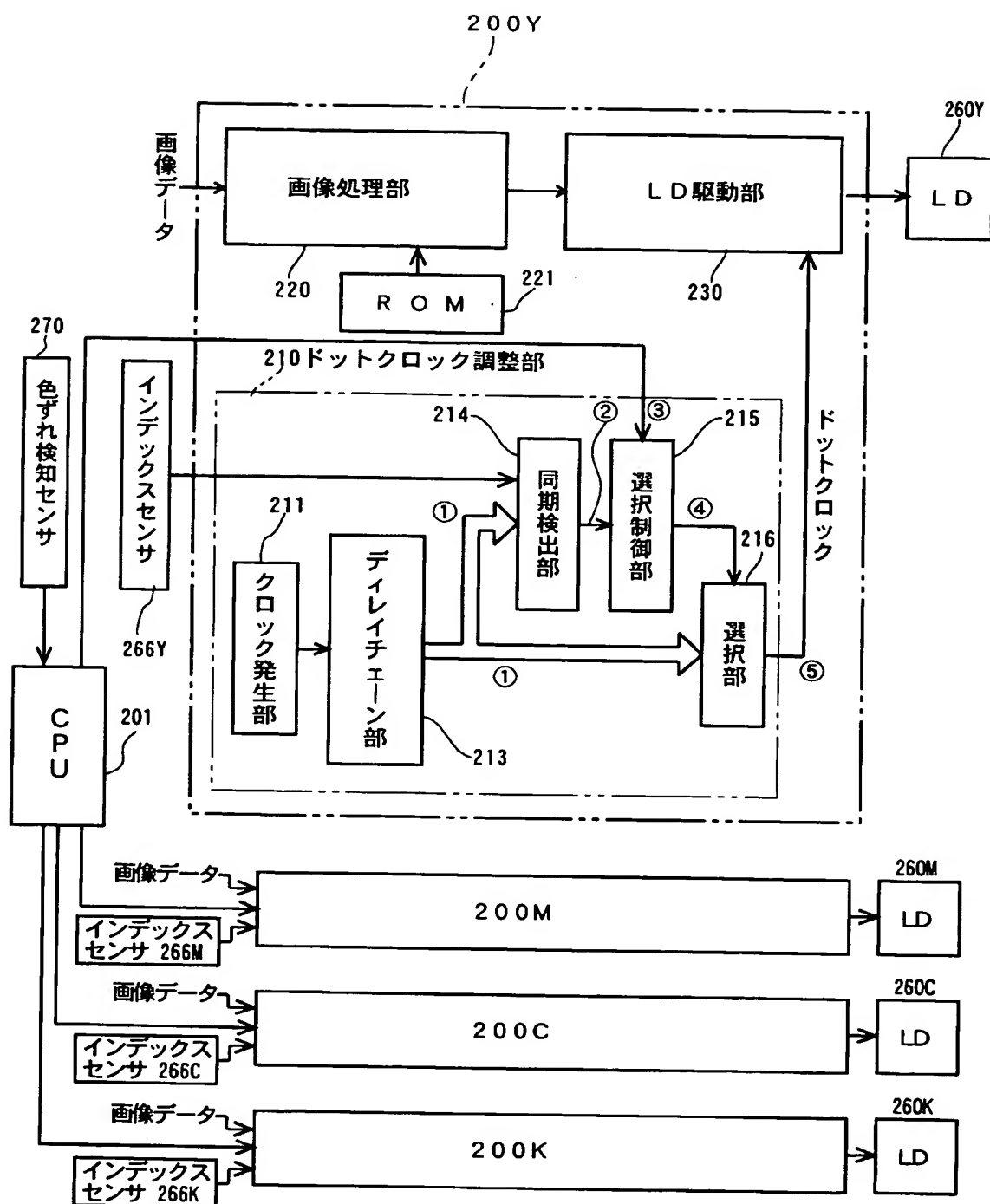
画像形成装置の書き込み部の機械構成を示す斜視図である。

【符号の説明】

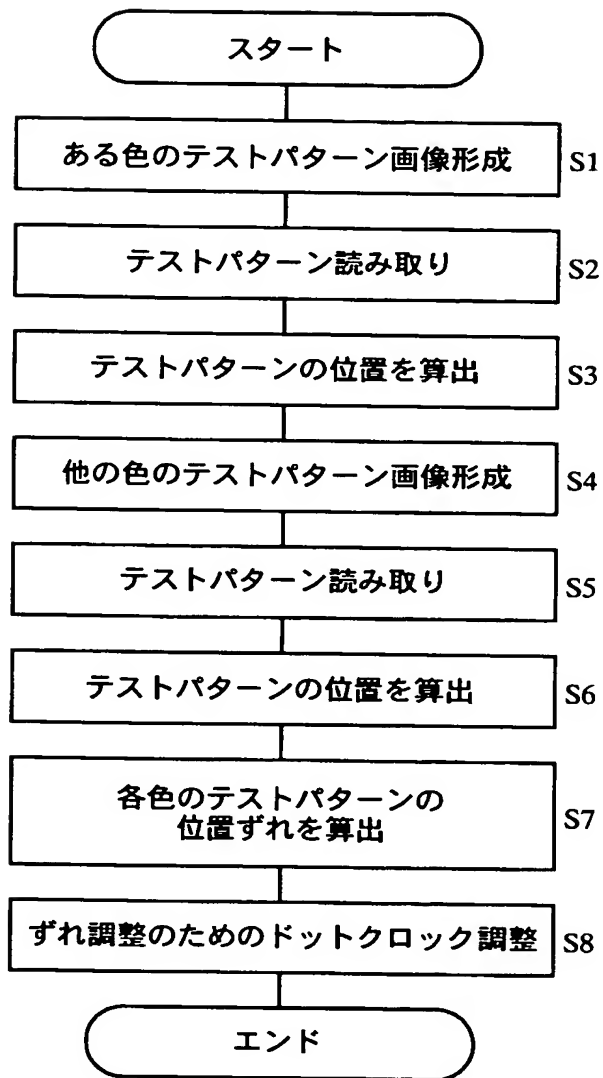
- 2 0 0 書き込みユニット
- 2 0 1 C P U
- 2 1 0 ドットクロック調整部
- 2 1 1 クロック発生部
- 2 1 3 デイレイチェーン部
- 2 1 4 同期検出部
- 2 1 5 選択制御部
- 2 1 6 選択部
- 2 2 0 画像処理部
- 2 3 0 L D 駆動部
- 2 6 0 レーザダイオード
- 2 6 6 インデックスセンサ

【書類名】 図面

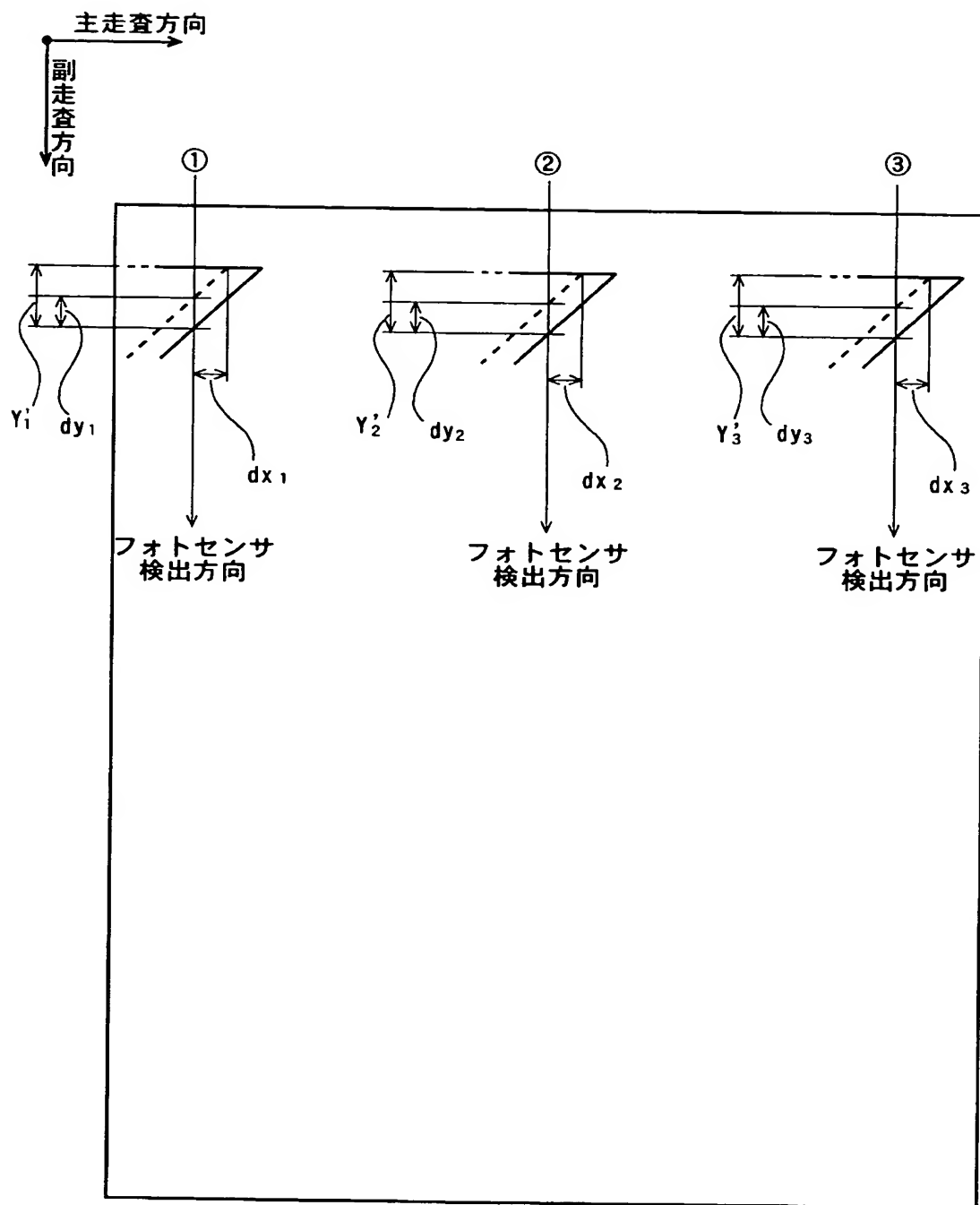
【図 1】



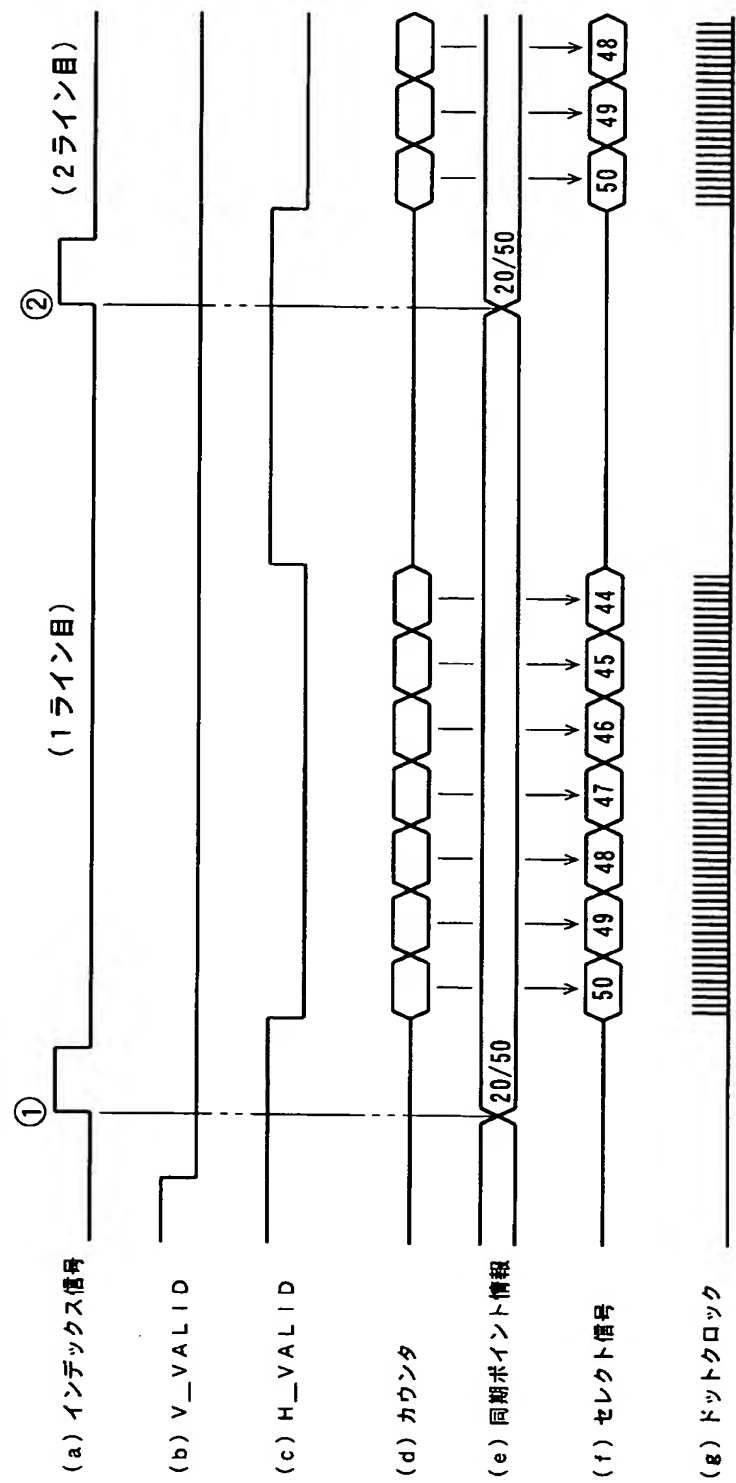
【図 2】



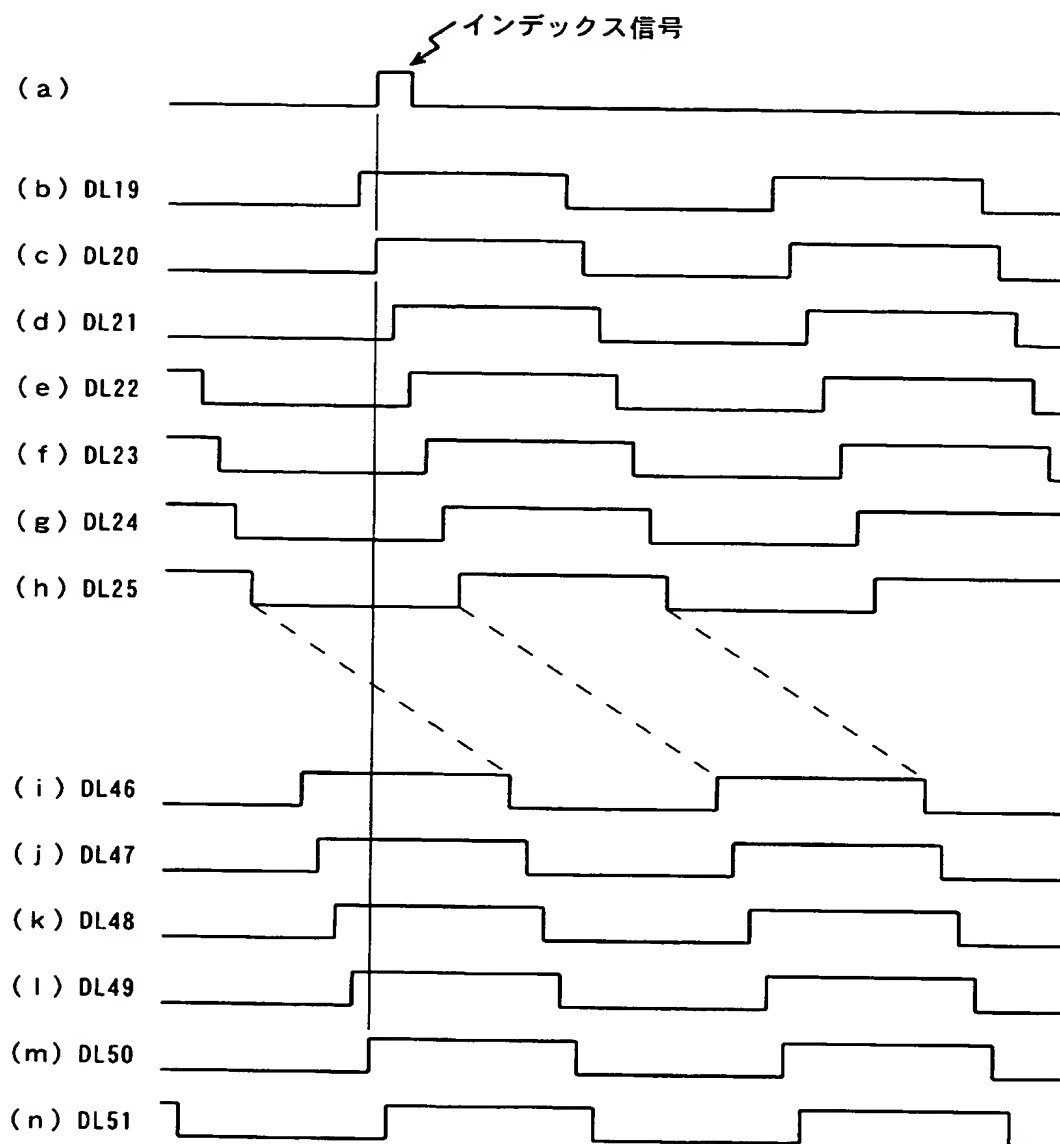
【図 3】



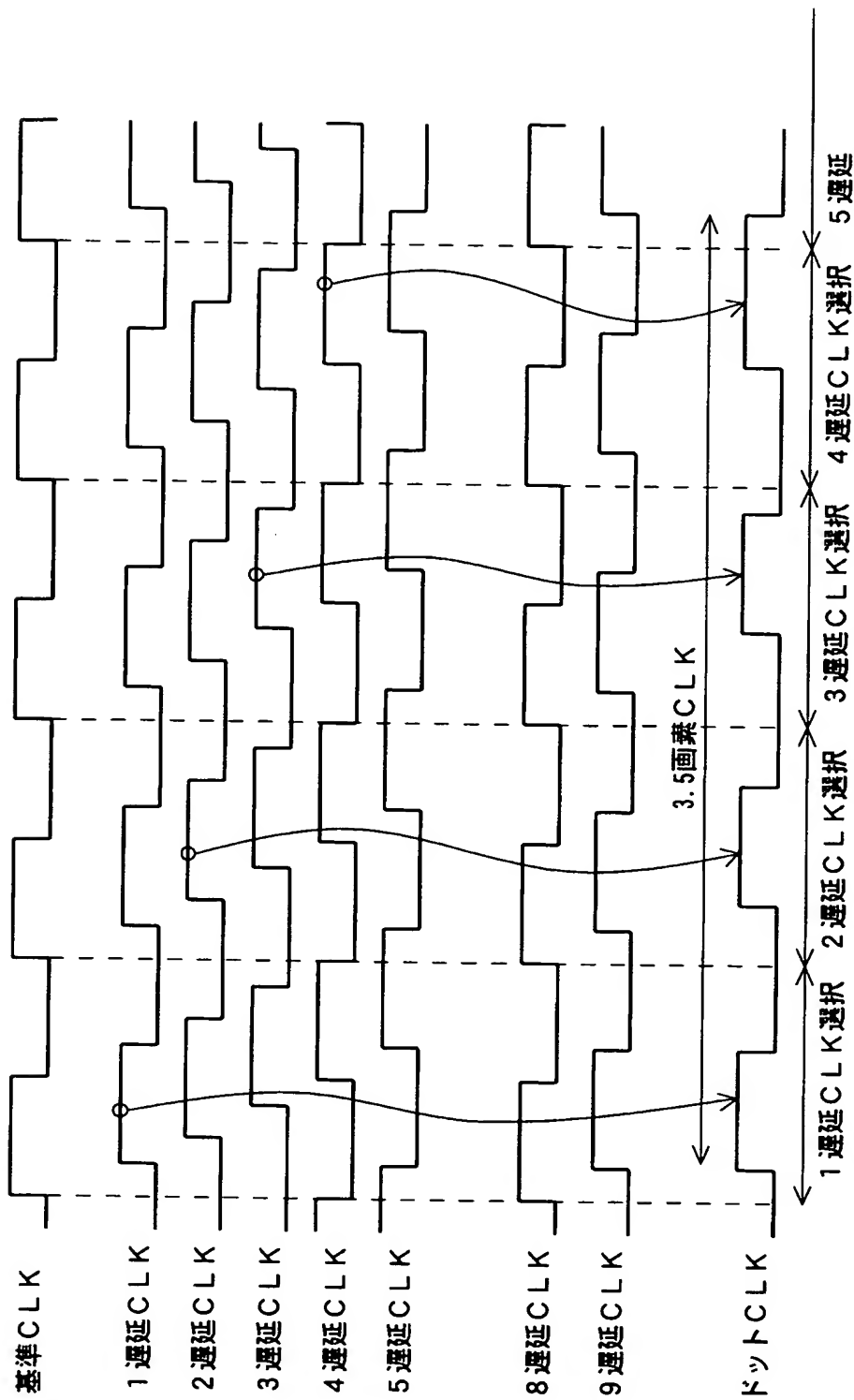
【図 4】



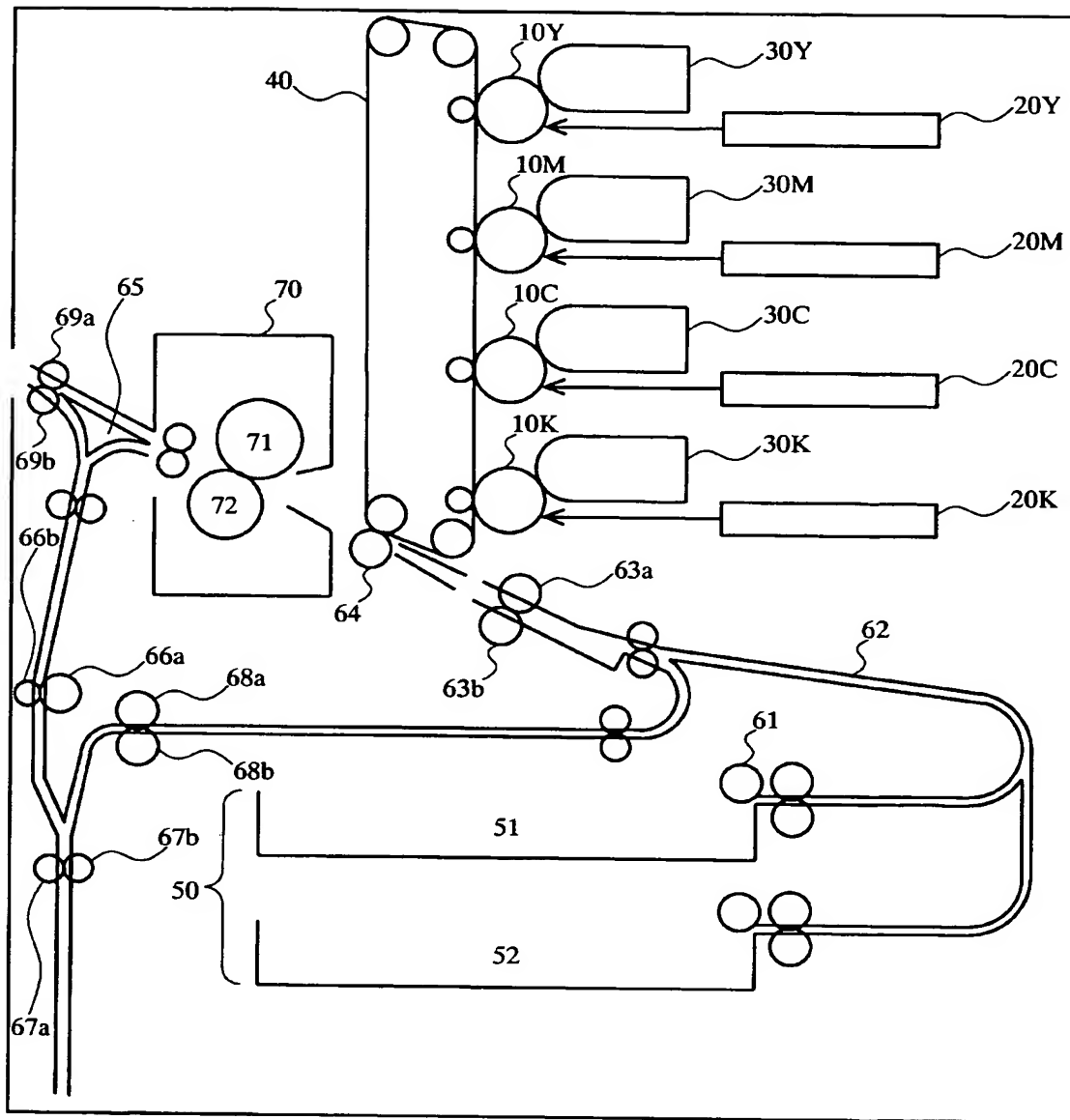
【図 5】



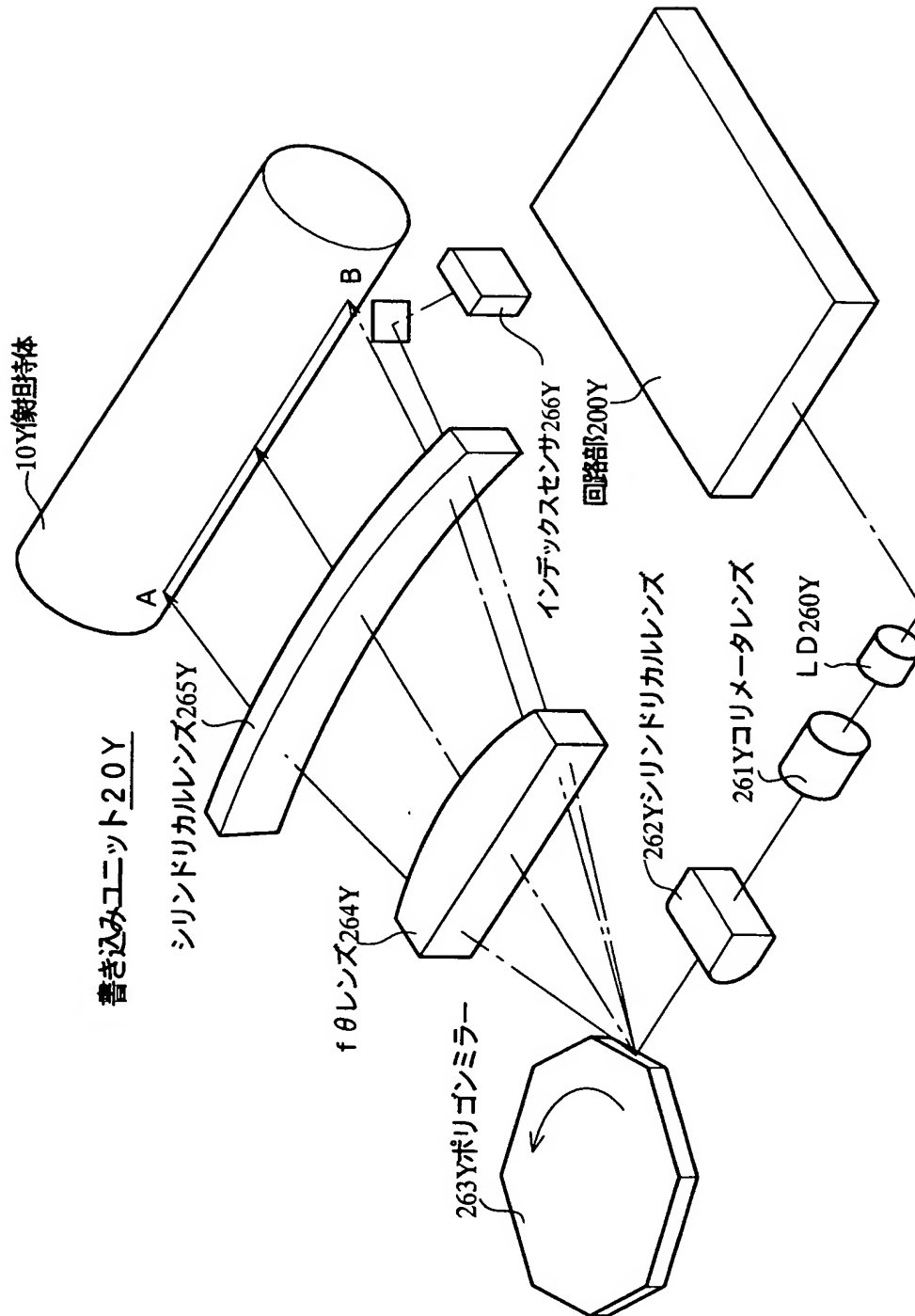
【図 6】



【図 7】



【図 8】



【書類名】 要約書

【要約】

【課題】 始端～終端の伸び縮みだけではなく、中間部分での画素ずれをも、精度良く解消する。

【解決手段】 ある色について形成された像を基準として他の色の像のずれを誤差情報として検出するずれ検出手段と、基本クロックを細かく遅延させて複数の遅延クロックを生成し、該複数の遅延クロックの選択を変更することによって、前記ずれを調整すべき色について生成するドットクロックの立ち上がりもしくは立ち下がりタイミングを変化させるデジタルディレイ式ドットクロック調整手段と、前記ずれ検出手段で検出された前記誤差情報に応じて前記ずれを補正するように、前記デジタルディレイ式ドットクロック調整手段での複数の遅延クロックの選択を制御する制御手段とを備え、主走査方向の3箇所以上で誤差情報を検出し、主走査方向の3箇所以上で誤差情報に基づいてずれを補正する。

【選択図】 図1

特願 2 0 0 3 - 0 4 2 2 8 0

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 1 2 7 0]

1. 変更年月日 1 9 9 0 年 8 月 1 4 日
[変更理由] 新規登録
住 所 東京都新宿区西新宿 1 丁目 2 6 番 2 号
氏 名 コニカ株式会社
2. 変更年月日 2 0 0 3 年 8 月 4 日
[変更理由] 名称変更
住 所 東京都新宿区西新宿 1 丁目 2 6 番 2 号
氏 名 コニカミノルタホールディングス株式会社
3. 変更年月日 2 0 0 3 年 8 月 2 1 日
[変更理由] 住所変更
住 所 東京都千代田区丸の内一丁目 6 番 1 号
氏 名 コニカミノルタホールディングス株式会社